

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭59—142481

⑮ Int. Cl.<sup>3</sup>  
G 01 R 31/28

識別記号

庁内整理番号  
7807—2G

⑯ 公開 昭和59年(1984) 8 月15日

発明の数 1  
審査請求 未請求

(全 13 頁)

⑭ 集積回路装置及びその診断方法

⑰ 特 願 昭58—16045

⑰ 出 願 昭58(1983) 2 月 4 日

⑰ 発 明 者 増田郁朗

日立市幸町3丁目1番1号株式  
会社日立製作所日立研究所内

⑰ 発 明 者 前島英雄

日立市幸町3丁目1番1号株式  
会社日立製作所日立研究所内

⑰ 発 明 者 林照峯

日立市幸町3丁目1番1号株式  
会社日立製作所日立研究所内

⑰ 発 明 者 畠山一実

日立市幸町3丁目1番1号株式  
会社日立製作所日立研究所内

⑰ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1丁目5  
番1号

⑰ 代 理 人 弁理士 高橋明夫 外3名

明 細 書

発明の名称 集積回路装置及びその診断方法

特許請求の範囲

1 複数の組合せ論理回路、上記組合せ論理回路の入力に接続される少なくとも一つの入力用記憶回路、上記組合せ論理回路の出力に接続される出力用記憶回路が形成される集積回路装置に於いて、任意の組合せ論理回路に接続される少なくとも一つの入力用記憶回路に選択的に診断用信号を与えて、上記任意の組合せ論理回路に接続される出力用記憶回路に記憶される診断用信号を読み出すことを特徴とする集積回路装置の診断方法。

2 特許請求の範囲第1項に於いて、上記入力用記憶回路及び出力用記憶回路はフリップフロップからなることを特徴とする集積回路装置の診断方法。

3 半導体チップ上に、複数の組合せ論理回路、上記組合せ論理回路の入力に接続される少なくとも一つの入力用記憶回路、上記組合せ論理回路の出力に接続される出力用記憶回路が形成され、上

記半導体チップの周辺に複数個のパッドが設けられ、上記入力用記憶回路または上記出力用記憶回路と上記パッドとの間に、上記入力用記憶回路または上記出力用記憶回路と上記パッドとを接続する複数の入出力パッファが設けられる集積回路装置に於いて、少なくとも一つの上記入出力パッファは、任意の上記入力用記憶回路を選択するアドレス信号を与える信号線に接続されるパッファ、または、上記出力用記憶回路に選択的に記憶される診断用信号を読み出す信号線に接続されるパッファを少なくとも有することを特徴とする集積回路装置。

4 特許請求の範囲第3項に於いて、上記入力用記憶回路及び出力用記憶回路はフリップフロップからなることを特徴とする集積回路装置。

発明の詳細な説明

〔発明の利用分野〕

本発明は集積回路装置に係り、特に診断試験を容易に行なえるようにした集積回路装置及びその診断方法に関する。

## 〔従来技術〕

論理回路を含む集積回路装置に於いては種々の素子が所望の機能及び性能が得られるか否か、テストパターンの入力信号を外部から加えて判定しており、これを一般に診断と呼んでいる。ここで、入力信号列は内部の素子を漏れなく診断できるものが必要であり、総素子数の中で診断可能な素子の比率を診断率と定義する。したがって、この入力信号列を作る場合実用上十分な診断率を、できるだけ少ないステップ数で達成することが必要であるが、通常の論理集積回路装置では数千ステップを要するのが普通である。

従来は、この信号列を手で作成していたため膨大な作業量になつていた。特に、ゲートアレイ集積回路装置のように設計作業の大半が自動化され、設計期間が1ヶ月前後に短縮されているものでは、必然的に診断用の入力信号列を作成する期間の比重が増大し、開発期間を短縮する上での最大の障害になつている。一方、診断用の信号列を計算機で自動生成するという試みもあるが、論理

フリップ・フロップ動作の他に選択線の選択によりフリップフロップ回路にアクセス可能とするものが示されているが、診断はフリップフロップのみ可能であり、組合せ論理回路の診断はできないという問題点がある。

## 〔発明の目的〕

本発明の目的とするところは、上記問題点を除去し、組合せ論理回路単位に診断が可能となり、十分な診断率が得られる集積回路装置及びその診断方法を提供することにある。

## 〔発明の概要〕

上記目的を達成する本発明集積回路装置の診断方法の特徴とするところは、複数の組合せ論理回路、上記組合せ論理回路の入力に接続される少なくとも一つの入力用記憶回路、上記組合せ論理回路の出力に接続される出力用記憶回路が形成される集積回路装置に於いて、任意の組合せ論理回路に接続される少なくとも一つの入力用記憶回路に選択的に診断用信号を与えて、上記任意の組合せ論理回路に接続される出力用記憶回路に記憶され

構成上の制約を付加しないと十分な診断率が得られないことが多い。

この問題点を解決するために、特開57-133644号公報に示される様に、内部回路のうちのフリップフロップを直列に接続してシフトレジスタを構成させ、該シフトレジスタを通して集積回路に入力信号を与えて動作させ、その結果を該シフトレジスタにより外部へ取出すようにしたもの(スキヤンインスキヤンアウト方式)や半導体基板の周辺に試験専用のシフトレジスタを設け、該レジスタの各ビットへ半導体基板に搭載されたマスタースライス方式の集積回路の所望各部を配線により接続し、該各部の出力状態を該レジスタへ並列入力し、それをシフトクロックにより直列出力するようにしたもの等が知られている。

ところがこれらの従来技術に於いては、複数の組合せ論理回路に於ける診断は可能であるが、組合せ論理回路単位の診断はできなく、診断率が低くなるという問題点を有する。

また、特開54-87142号公報には、通常の

る診断用信号を読み出すことにある。

また、本発明集積回路装置の特徴とするところは、半導体チップ上に、複数の組合せ論理回路、上記組合せ論理回路の入力に接続される少なくとも一つの入力用記憶回路、上記組合せ論理回路の出力に接続される出力用記憶回路が形成され、上記半導体チップの周辺に複数のパッドが設けられ、上記入力用記憶回路または上記出力用記憶回路と上記パッドとの間に、上記入力用記憶回路または上記出力用記憶回路と上記パッドとを接続する複数の入出力パツファが設けられる集積回路装置に於いて、少なくとも一つの上記入出力パツファは、任意の上記入入力用記憶回路を選択するアドレス信号を与える信号線に接続されるパツファ、または、上記出力用記憶回路に選択的に記憶される診断用信号を読み出す信号線に接続されるパツファを有することにある。

ここで「組合せ論理回路」とは、出力信号がそのときの入力信号によつて一義的に定まる論理回路を示し、例えば、AND回路、OR回路、NOT

回路、NAND回路、NOR回路、XOR回路、及びこれらを組み合わせた回路（半加算回路、全加算回路、符号変換回路、エンコーダ回路、デコーダ回路等）及び配線（入力信号と出力信号とが同一なもの）が相当する。また、「記憶回路」とは、出力信号が過去の入力信号の履歴に依存するような論理回路を示し、例えばフリップフロップ等のスタティックな記憶手段や、トランジスタの容量等のダイナミックな記憶手段や、これ等を組み合わせた回路が相当する。

#### 〔発明の実施例〕

第1図によつて本発明の原理を説明する。

第1図に示す様に、2入力NAND回路11、3入力AND回路12の組合せ論理回路と、フリップフロップ $F/F_{11}$ 、 $F/F_{12}$ 、 $F/F_{21}$ 、 $F/F_{22}$ 、 $F/F_{31}$ 、 $F/F_{32}$ の記憶回路とが行列表に形成され、配線1、2、3、4、5、6、7、8（破線で示す）される。ここで、フリップフロップ $F/F_{21}$ とフリップフロップ $F/F_{31}$ とでシフトレジスタ14を構成し、配線8は本発

明では組合せ回路に相当する。フリップフロップ $F/F_{11}$ 、 $F/F_{21}$ は2入力NAND回路11の入力に接続され2入力NAND回路11の入力用記憶回路となる。フリップフロップ $F/F_{22}$ は2入力NAND回路11の出力に接続され2入力NAND回路11の出力用記憶回路になるばかりでなく、3入力AND回路12の入力に接続され3入力AND回路12の入力用記憶回路になる。フリップフロップ $F/F_{12}$ は3入力AND回路12の入力用記憶回路となり、フリップフロップ $F/F_{32}$ は3入力AND回路12の出力用記憶回路になる。フリップフロップ $F/F_{23}$ は3入力AND回路12の入力用記憶回路となるばかりでなく、配線8の出力用記憶回路となる。フリップフロップ $F/F_{33}$ は配線8の入力用記憶回路となる。 $X_i$  ( $i=1 \sim m$ )、 $Y_j$  ( $j=1 \sim n$ )は任意のフリップフロップを選択するためのアドレス信号線である。第1図に於いて、他の組合せ回路、他の記憶回路、他の信号線は省略してある。

例えば、2入力NAND回路11を選択して診断

する場合、まずフリップフロップ $F/F_{11}$ 、 $F/F_{21}$ をアドレス信号線によつて選択して、診断モードとして、診断用信号を入力する。次に通常モードとして2入力NAND回路11によつてNAND計算された診断用信号がフリップフロップ $F/F_{22}$ に記憶される。次に再び診断モードとしてフリップフロップ $F/F_{22}$ に記憶された診断用信号を図示しない信号線によつて外部に読み出す。

3入力AND回路12、配線8を診断する場合も同様である。

以下、本発明をゲート・アレイ集積回路装置に適用した場合の一実施例を詳細に説明する。

第2図はゲート・アレイ集積回路装置20の全体構成の概略を示したもので、入出力パツファ群21、アレイ状に配列されたゲート群22-1、-2、…、-j、…、-nから成る。今、例としてj行のゲート群22-jの中のi列のフリップフロップ23にゲート・アレイ集積回路装置20外部から診断用信号を書込み（スキャン・イン）及び外部へ診断後の診断用信号を読出す（ス

キャン・アウト）手順を示す。

#### (1) フリップ・フロップの初期化

第2図のGR (General Reset) 信号により総てのフリップ・フロップのリセットを行い、診断開始時に初期化を行う。この結果、総てのフリップ・フロップの内容はリセットされ、論理レベル“0”となる。

#### (2) フリップ・フロップの“1”設定（スキャン・イン）

上記したように、診断の開始時には総てのフリップ・フロップがリセットされるため、診断の対象となるフリップ・フロップ23を必要に応じてセツトする。これにはi列方向の信号線 $a_i$ 、 $b_i$ とj行方向の行アドレス信号線 $Y_j$ 及びクロック $C_2$ によつてフリップ・フロップ23を選択して行う。信号 $a_i$ 、 $b_i$ 、 $Y_j$ 、 $C_2$ の詳細は後述する。

#### (3) フリップ・フロップからの診断後データの読出し（スキャン・アウト）

フリップ・フロップ23の内容は信号 $b_i$ によ

り、行中に含まれるフリップ・フロップの中から選取され、データ出力信号線 $Q_i$ に載せられ、入出力バッファ群21を介して集積回路装置20外部に出力される。

第3図はフリップ・フロップ23の入出力信号線の様子を示したもので、本来フリップ・フロップが必要とする信号線3i(クロック信号線T、データ信号線D、リセット信号線 $\bar{R}$ 、セット信号線 $\bar{S}$ )と3Q(出力線)以外の診断のための信号線群が格子状に配置されている。

次に、第4図によりフリップ・フロップ23の内部構成を示しながら、詳細な説明を行う。

フリップ・フロップ23は、核となるフリップ・フロップ40、41、診断のための論理ゲート42~50、フリップ・フロップ23の内容の読出しのためのゲート51から成る。フリップ・フロップ23の動作原理を述べる前に、各信号線の信号M、C<sub>1</sub>、C<sub>2</sub>、a<sub>1</sub>、b<sub>1</sub>の意味を明確にする。

(1) モード指定信号M

$$b_1 = \bar{M} \cdot X_1 \quad \dots\dots(2)$$

すなわち、診断モード(M=0)でi列が選択された場合( $X_1=1$ )に限って $b_1=1$ となる。

次に、これらの信号を用いて診断モード(M=0)に入つた場合の動作を説明する。

(a) ゲート48

フリップ・フロップ23の含まれるi列目が選ばれた場合、列アドレス信号 $X_1=1$ であるから信号 $b_1=1$ となる。従つて、ゲート48の出力信号4aは“0”となり、ゲート42、45、47に接続されるクロック信号T、リセット信号 $\bar{R}$ 、セット信号 $\bar{S}$ を無効とする。

(b) ゲート50

フリップ・フロップ23の含まれるi列が選ばれた場合、信号 $b_1$ はゲート49により反極性となるから、ゲート50の出力信号4bには信号 $a_1$ に含まれるクロックC<sub>1</sub>を通過させる。この時、行アドレス信号Y<sub>j</sub>が“1”となつてj行が選択された場合に限って、フリップ・フロップ40の $\bar{S}$ (セット)端子にセット信号 $\bar{S}$ がゲート

M=1のとき被診断フリップ・フロップ23が通常モードであり、M=0のとき診断モードとなる。

(2) クロック信号C<sub>1</sub>

診断用信号であり、診断モード時にフリップ・フロップ40へのセット・タイミング信号となる。

(3) クロック信号C<sub>2</sub>

診断用信号であり、診断モード時にフリップ・フロップ41にセットされたデータを出力するタイミングを与える信号である。

(4) 信号a<sub>1</sub>

信号a<sub>1</sub>の論理は次式で与えられる。

$$a_1 = C_1 \cdot (M + X_1) \quad \dots\dots(1)$$

X<sub>1</sub>はフリップ・フロップ23を含む列を選択するための列アドレス信号である。すなわち、通常モード時<sup>(M=1)</sup>あるいは診断モード(M=0)でフリップ・フロップ23の含まれるi列が選択された時( $\bar{M} \cdot X_1=1$ )のいずれかでタイミングC<sub>1</sub>を許可する。

(5) 信号b<sub>1</sub>

信号b<sub>1</sub>の論理は次式で与えられる。

47により与えられる(“1”設定(スキヤンイン))。

尚、ゲート43、44、46は各対応信号の極性を合せるためのインバータである。

更に、信号 $b_1=1$ すなわちフリップ・フロップ23が選択されている場合には、ゲート51によりフリップ・フロップ41の内容がデータ出力信号Q<sub>i</sub>として、フリップ・フロップ23外部に読出される。

一方、診断モードにおいて、次の(I)(II)に示す配慮が必要である。




(I) 順序回路のデータ信号Dのフリップ・フロップ40へのセット(Flip-Flop in):通常モードの場合、C<sub>1</sub>=1とすれば信号 $a_1 = \bar{C}_1 = 0$ 、信号 $b_1=0$ となるから、ゲート48出力信号4a=1となる。従つて、ゲート42への1入力を“1”としておけば、クロック信号Tによりデータ信号Dをフリップ・フロップ40にセットすることができる。

(II) フリップ・フロップ40出力の次段への出

力の禁止：フリップ・フロップ23として見た場合、その出力 $Q_2$ が次の順序回路へ影響を与えようフリップ・フロップ41により出力禁止を行う。通常モード( $M=1$ )では、フリップ・フロップ40出力 $Q_0$ はフリップ・フロップ41へのクロック $C_1$ を“1”とすることにより通過モードとしておけばよい。また、診断モード( $M=0$ )においてクロック $C_1$ を印加すればフリップ・フロップ41の内容はフリップ・フロップ40と一致する。これをゲート51を介してデータ出力信号 $Q_1$ に脱出す。

以上の各モードを第1表に示す。




第 1 表

| 信 号                   |              | モ ー ド |   |   |
|-----------------------|--------------|-------|---|---|
|                       |              | M     | $C_1$   | $C_2$   |
| 通 常 モ ー ド             |              | 1     | 1   | 1   |
| 診<br>断<br>モ<br>ー<br>ド | スキャン・イン      | 0     |  | 0   |
|                       |              | 0     |  | 0   |
|                       | フリップ・フロップ・イン | 1     | 1   | 0   |
|                       | ピン・アウト       | 1     | 0   | 0   |
| ド                     | スキャン・アウト     | 0     | 0   |  |

接続される入出力バッファ604-1~604-N及び基本セル(図示せず)がx方向に多数個並設された基本セル列22-1~22-nをy方向にn個並設して成る。

通常モード及び診断モードに於ける、各パッドの機能を第2表に示す。

第 2 表

| パッド                   |              | モ ー ド |   |   |             |             |             |
|-----------------------|--------------|-------|---|---|-------------|-------------|-------------|
|                       |              | M     | $C_1$   | $C_2$   | $P_{11-1n}$ | $P_{21-2n}$ | $P_{31-3n}$ |
| 通 常 モ ー ド             |              | 1     | 1   | 1   | $P_{11-1n}$ | $P_{21-2n}$ | $P_{31-3n}$ |
| 診<br>断<br>モ<br>ー<br>ド | スキャン・イン      | 0     |  | 0   | $X_{1-1n}$  | $Y_{1-1n}$  | $Q_{1-1n}$  |
|                       |              | 0     |  | 0   | $X_{1-1n}$  | $Y_{1-1n}$  | $Q_{1-1n}$  |
|                       | フリップ・フロップ・イン | 1     | 1   | 0   | $P_{11-1n}$ | $P_{21-2n}$ | $P_{31-3n}$ |
|                       | ピン・アウト       | 1     | 0   | 0   | $P_{11-1n}$ | $P_{21-2n}$ | $P_{31-3n}$ |
| ド                     | スキャン・アウト     | 0     | 0   |  | $X_{1-1n}$  | $P_{21-2n}$ | $Q_{1-1n}$  |

○ M (Mode)

診断モードが通常モードかを指示する入力パッド。本パッドの論理レベルが“0”の時、診断モード、論理レベルが“1”の時、通常モードとなる。

○  $C_1$  (Clock1)

ここで、フリップ・フロップ・インは通常モード時に、フリップ・フロップのデータ信号Dを記憶するモードであり、ピン・アウトとは通常モードで、集積回路装置内の状態を変化させずに出力バッファとなつているピンの状態を見るモードを示す。

次に、第5図により、本発明の一実施例であるゲート・アレイ集積回路装置20のマスター構造を述べる。このマスターは診断モード時にフリップ・フロップの列指定を行うパッド $P_{11} \sim P_{1n}$  ( $X_1 \sim X_n$ )、入出力バッファ600-1~600-m、列選択信号 $a_1, b_1$ を作り出す列デコーダ601-1~601-m、診断専用パッド $M, C_1, GR, C_2$ 、診断モード時にフリップ・フロップの行指定を行うパッド $P_{21} \sim P_{2n}$  ( $Y_1 \sim Y_n$ )、入出力バッファ602-1~602-n、診断モード時にデータ出力信号を読み出すパッド $P_{31} \sim P_{3n}$  ( $Q_1 \sim Q_n$ )、入出力バッファ603-1~603-n、診断に使用されない通常の入出力パッド $P_{41} \sim P_{4n}$ 、それらに

診断モード時にフリップ・フロップ40をセットするタイミングを与える入力パッド。

○  $C_2$  (Clock2)

診断モード時にフリップ・フロップ41にセットされたデータを出力するタイミングを与える入力パッド。但し、通常モード時にはフリップ・フロップのデータは常に出力するようにしている。  
( $C_2 = 1$ )。

○  $P_{11-1n}$

通常モードでは入出力パッド $P_{11-1n}$ として機能し、診断モードのスキャンイン・スキャンアウトにおいては、フリップ・フロップの列アドレス信号パッド $X_{1-1n}$ として機能する。

○  $P_{21-2n}$

通常モードでは入出力パッド $P_{21-2n}$ として機能し、診断モードのスキャン・インにおいてはフリップ・フロップの行アドレス信号パッド $Y_{1-1n}$ として機能する。

○  $P_{31-3n}$

通常モードでは入出力パッド $P_{31-3n}$ として機能

し、診断モードのスキヤン・イン、スキヤン・アウトにおいてデータ出力信号パッド $Q_1 \sim Q_n$ として機能する。

これらの機能変更に関しては、後で詳細に説明する。

本実施例のマスターに於いては次の(1)～(6)のものは予め論理的に配線されており、ユーザ論理回路の少なくとも一部と同時にこのマスターの上に作成される。また、次の(1)～(6)のものを第1配の配線で予め配線しておき、絶縁膜を介してユーザ論理回路を多層配線しても良い。

#### (1) パッドと入出力バッファ

パッド $P_{11} \sim P_{1n}$ と入出力バッファ600-1～600-m、パッド $P_{21} \sim P_{2n}$ と入出力バッファ602-1～602-n、パッド $P_{31} \sim P_{3n}$ と入出力バッファ603-1～603-n、パッド $P_{41} \sim P_{4n}$ と入出力バッファ604-1～604-nが半導体チップの周辺に配線されている。但し、上記入出力バッファ群は総てマスターの時点では、内部配線によつて入力のみ、出力のみ、入

供給し得るように配線が決められている。

モード指定信号線Mは、入出力バッファ600-1～600-m、602-1～602-n、603-1～603-n及び列デコーダ601-1～601-mに配線、クロック信号 $C_1$ は列デコーダ601-1～601-mに配線、クロック信号 $C_2$ 及びリセット信号GRはそれぞれx方向、y方向に行列状に配線される。

#### (3) 入出力バッファ600-1～600-mと

列デコーダ601-1～601-m

入出力バッファ600-1～600-m内の入出力バッファ出力、すなわち、診断モード時の列アドレス信号線 $X_1 \sim X_n$ は列デコーダ601-1～601-mへ配線される。

#### (4) 入出力バッファ602-1～602-nからの配線

入出力バッファ602-1～602-n内の入出力バッファ出力、すなわち、行アドレス信号線 $Y_1 \sim Y_n$ はx方向に並設配線する。

#### (5) 入出力バッファ603-1～603-nか

出力の3つのタイプに構成し得る構造としておく。また、診断モード時にフリップ・フロップの列指定を行う為の入力ピン $P_{11} \sim P_{1n}$ は、それらの位置する半導体チップの一辺に存在する総てのパッド-入出力バッファ組を使用するとは限らない。基本セル列22-1～22-nの一部を使用して1つのフリップ・フロップを構成した時に必要とするゲート数とその物理的に占有する面積でmの値を決定する。この事は行アドレス信号パッド $Y_1 \sim Y_n$ あるいはデータ出力信号パッド $Q_1 \sim Q_n$ と入出力バッファの組についても同じである。診断モード時に診断用パッドに機能変更する事のないパッド-入出力バッファ組が適宜存在する場合もある。

#### (2) 診断専用パッドM、GR、 $C_1$ 、 $C_2$ からの配線

本実施例の診断専用パッドは、診断モードM、リセットGR、クロック $C_1$ 及び $C_2$ の4つである。これらは第5図に示したようにそれぞれ信号線M、GR、 $C_1$ 、 $C_2$ としてチップ内の各部に

#### らの配線

入出力バッファ603-1～603-n内の出力バッファへの入力、すなわち、診断時のデータ出力信号線 $Q_1 \sim Q_n$ もx方向に並設配線する。

#### (6) 列デコーダ601-1～601-mからの配線

列デコーダ601-1～601-mからの出力、列選択ペア信号 $(a_1, b_1) \sim (a_n, b_n)$ はy方向に並設配線する。

以上の様に、ゲート・アレイ素子回路装置20のマスター構造に、診断モード時に機能変更し得る入出力バッファ、列デコーダ、診断専用パッド及び行、列方向の配線群を設ける事により診断機能を含める事ができる。

次に、入出力バッファと列デコーダとの詳細を第6図から第8図を用いて説明する。

第6図はフリップ・フロップの選択を行う列アドレス信号 $X_1$ を与える入出力バッファ600-1～600-m及びスキヤン・インのデータを与える入出力バッファ602-1～602-nのマ

スター構造とその応用を示したものである。

第6図(a)はマスター構造を示すもので、パッドP<sub>i</sub>に入出力バッファ・マスター700-iが接続され、第1段目の入力バッファ701-i、第2段目の入力バッファ702-i、診断モード用の列アドレス信号X<sub>i</sub>〜X<sub>n</sub>。または行アドレス信号Y<sub>i</sub>〜Y<sub>n</sub>。を与えるバッファ703-i、3ステート出力バッファ704-i、3ステート制御用の2入力NANDゲート705-iがそれぞれが独立に設けられている。これらの要素を配線によつて次の(i)〜(d)の3種類に構成して用いる。

(i) 通常モード(M=1)時に入力バッファとなる場合(第6図(b))

パッドP<sub>i</sub>と第1段目の入力バッファ701-i、これと702-i及び703-iとを接続(破線で示す)し、通常モード(M=1)の入力信号I<sub>i</sub>及び診断モード(M=0)時の列アドレス信号X<sub>i</sub>または行アドレス信号Y<sub>i</sub>を得る。出力バッファ704-i及び3ステート制御用ゲート705-iは使用しない。

バッファ701-iと第2段目の入力バッファ702-i及びバッファ703-i、3ステート制御用ゲート705-iと出力バッファ704-iの3ステート制御入力とを接続する。この様な接続により、通常モード(M=1)時にパッドP<sub>i</sub>に入力するデータまたは信号I<sub>i</sub>、パッドP<sub>i</sub>に出力するデータまたは信号O<sub>i</sub>の入出力が出来る一方、診断モードMが“1”を条件に、3ステート制御信号TSCにより出力バッファ704-iを制御できる。診断モード(M=0)時にはMが“0”となる為、出力バッファ704-iの出力は3ステート状態になり、パッドP<sub>i</sub>は列アドレス信号X<sub>i</sub>または行アドレス信号Y<sub>i</sub>を外部から入力する。

第7図はフリップ・フロップのデータを読み出す為の入出力バッファ603-1〜603-mのマスター構造とその応用を示したものである。

第7図(a)はマスター構造を示すもので、パッドP<sub>i</sub>に入出力バッファ・マスター800-iが接続され、入出力バッファ・マスター800-iは

(ii) 通常モード(M=1)時に出力バッファとなる場合(第6図(c))

パッドP<sub>i</sub>と第1段目の入力バッファ701-i、出力バッファ704-i、701-iと703-i、3ステート制御用のNANDゲート705-iの2入力間及びその出力と3ステート出力バッファの3ステート制御入力とを接続(破線で示す)する事により、診断モード(M=0)時の列アドレス信号X<sub>i</sub>または行アドレス信号Y<sub>i</sub>が得られる。通常モード(M=1)時には出力データまたは信号O<sub>i</sub>は、ゲート705-iの制御によりパッドP<sub>i</sub>に出力され、診断モード(M=0)時には3ステート出力バッファ704-iは3ステート状態となつて、パッドP<sub>i</sub>は列アドレス信号X<sub>i</sub>または行アドレス信号Y<sub>i</sub>を外部から入力する。

(iii) 通常モード(M=1)時に入出力バッファとなる場合(第6図(d))

パッドP<sub>i</sub>と第1段目の入力バッファ701-i及び出力バッファ704-i、第1段目の入力

第1段目の入力バッファ801-i、第2段目の入力バッファ802-i、モード指定信号Mのインバータ803-i、診断モード(M=0)時のフリップ・フロップの内容を読み出すデータ出力信号Q<sub>i</sub>と通常モード(M=1)時の出力信号O<sub>i</sub>の選択ゲート804-i、3ステート出力バッファ805-i、3ステート制御用のNORゲート806-iで構成される。

第7図(b)〜(d)は、それぞれ通常モード(M=1)時において入出力バッファ・マスター800-iを入力バッファ(第7図(b))、出力バッファ(第7図(c))、入出力バッファ(第7図(d))として用いる場合の実施例を示したものである。その構成要素及び配線方法は異なるが、前記した第6図のものと同様の考え方であるので、ここでは詳細な説明は省略する。

第8図は列デコーダ601-1〜601-mの詳細回路図及び配線を示したものである。列デコーダ601-1はゲート900-1、901-1、902-1から構成され、前記した入出力バッ

ア700-iから得られる診断時の列アドレス信号 $X_i$ 、モード指定信号 $M$ 、クロック信号 $C_1$ を入力し、フリップ・フロップ選択信号ペア( $a_i$ ,  $b_i$ )を出力する。信号 $a_i$ はゲート900-i、信号 $b_i$ はゲート901-i及び902-iにより前記論理式(1)及び(2)が得られる。

j行、i列の領域内にあるフリップ・フロップ23は前記した如く、列信号ペア $a_i$ ,  $b_i$ 及び行アドレス信号 $Y_j$ によつて選択され、“1”にセットされる。また、列信号ペア $a_i$ ,  $b_i$ により、フリップ・フロップデータ出力信号線 $Q_i$ にその内容が載せられ、前記した入出力バッファ603-jを介してパッド $P_j$ にデータを出力する。

次に、第9図を用いて、本実施例ゲート・アレイ乗積回路装置の実際の診断例を詳細に説明する。本図はゲート・アレイ乗積回路装置20をn行、m列のブロックに分割し、各ブロックに1つのフリップ・フロップを割り当てて診断を行うものである。

| ステップ                         | M | $C_1$ | $C_2$ | $X_1$   | $Y_1$   | $Q_1$   |
|------------------------------|---|-------|-------|---------|---------|---------|
| 1 GR (リセット)                  | X | X     | X     | X       | X       | X       |
| 2 F/F <sub>23</sub> スキャン・イン  | 0 | 1     | 0     | $X_2=1$ | $Y_4=1$ | $Q_4=1$ |
| 3 F/F <sub>37</sub> データ・セット  | 1 | 0     | 0     | X       | X       | X       |
| 4 F/F <sub>37</sub> スキャン・アウト | 0 | 0     | 0     | $X_7=1$ | X       | $Q_7=1$ |
| 5 GR (リセット)                  | X | X     | X     | X       | X       | X       |
| 6 F/F <sub>23</sub> スキャン・イン  | 0 | 1     | 0     | $X_2=1$ | $Y_4=1$ | $Q_4=1$ |
| 7 F/F <sub>37</sub> データ・セット  | 1 | 0     | 0     | X       | X       | X       |
| 8 F/F <sub>37</sub> スキャン・アウト | 0 | 0     | 0     | $X_7=1$ | X       | $Q_7=1$ |

X: Don't Care    \*: F/F 正常時    \*\*: NAND 回路正常時

今、ゲート・アレイ乗積回路装置20の(行、列)として、(2, 2)、(4, 3)、(3, 7)にそれぞれフリップ・フロップ $F/F_{23}$ ,  $F/F_{43}$ ,  $F/F_{37}$ が存在し、 $F/F_{23}$ 及び $F/F_{43}$ の出力が2入力NANDゲート100に inputs し、組合せ論理回路である2入力NANDゲート100の出力が $F/F_{37}$ に inputs している場合についての診断例を第3表及び下記に示す。

#### ステップ1

ゲート・アレイ乗積回路装置20にGR (リセット)を入力し、全てのフリップ・フロップをリセットする。この時、診断に係る入出力信号 $M$ ,  $C_1$ ,  $C_2$ ,  $X_1 \sim X_m$ ,  $Y_1 \sim Y_m$ ,  $Q_1 \sim Q_m$ は全て意味を持たない。このステップでフリップ・フロップ $F/F_{23}$ ,  $F/F_{43}$ ,  $F/F_{37}$ の内容は“0”に初期化される。

#### ステップ2

本実施例で診断すべき組合せ論理回路は2入力NANDゲート100であるから、先ず、フリップフロップ $F/F_{43}$ を“1”にセットし、2入力NANDゲート100の入力値を“0”と“1”とする。その為、第3表の如く診断モードとする為、 $M=0$ とし、列アドレス信号 $X_2=1$ 、かつ行アドレス信号 $Y_4=1$ としてクロック信号 $C_1$ 及び $C_2$ を印加する。クロック信号 $C_1$ によつて第4図におけるフリップ・フロップ23 ( $F/F_{43}$ )内のフリップ・フロップ40が“1”にセットされ、クロック信号 $C_2$ によつてフリップ・フロップ



ブ41が“1”にセットされる。この結果、出力ドライバ51を介してフリップフロップ23(F/F<sub>23</sub>)の内容はフリップ・フロップのデータ出力信号線Q<sub>4</sub>を介して集積回路装置の外部へも書き出され、正常にフリップフロップF/F<sub>23</sub>が“1”にセットされていれば第5図のパッドP<sub>23</sub>より“1”が出力される。

以上により、被診断回路となる組合せ論理回路である2入力NANDゲート100の2つの入力線S1, S2はそれぞれ“0”, “1”に設定された事になる。

### ステップ3

ステップ2によつて、2入力NANDゲート100あるいは2つの入力線S1, S2が正常であれば、その出力信号S3は“4”となる筈である。本ステップでは、信号S3の状態をフリップフロップF/F<sub>37</sub>に取り込む為、先ず、通常モードに戻し(M=1)、クロック信号C<sub>1</sub>を“1”として、集積回路装置内のクロックTによつて第4図のフリップ・フロップ40に信号S3(第4図では信

ば“1”)をフリップフロップ41にセットする一方、出力パッド51によりフリップ・フロップのデータ出力信号線Q<sub>4</sub>にフリップフロップF/F<sub>37</sub>の内容を載せる。パッドP<sub>37</sub>を観測する事によつて、フリップフロップF/F<sub>37</sub>の記憶された内容が集積回路装置20の外部で見ることが出来る。2入力NANDゲート100の論理、入出力配線S1, S2, S3に異常がなければ、“1”となる。

### ステップ5～8

ステップ1～4と同様であるが、2入力NANDゲート100への入力S1, S2の値を逆にして診断するステップである。ステップ1～8で異常がなければ、組合せ論理回路である2入力NANDゲート100は配線も含め正常であると診断されるわけである。

以上は、2つのフリップ・フロップF/F<sub>23</sub>、F/F<sub>37</sub>の出力に接続された2入力NANDゲート100とこの出力に接続されたフリップ・フロップF/F<sub>37</sub>を例にして説明したが、これに限定さ

号D)の内容をセットする。この時、本ステップでクロック信号C<sub>1</sub>を印加せず一定(=“1”)とするのは、第4図におけるフリップ・フロップ23への入力クロック信号Tがクロック信号C<sub>1</sub>, C<sub>2</sub>といかなる位相関係にあるか保証はなく、もし、クロック信号Tの位相がクロック信号C<sub>2</sub>のそれと一致していた場合には、ループを構成している様な論理回路には不都合を生じるからである。すなわち、フリップフロップF/F<sub>37</sub>の出力がフリップフロップF/F<sub>23</sub>の入力へ戻っている場合には、信号S1の値を“0”→“1”に変更してしまい発振現象を起したりする。

以上により、フリップフロップF/F<sub>37</sub>に2入力NANDゲート100の出力が信号S3を経由してセットされる。

### ステップ4

再び、ゲート・アレイ集積回路装置20を診断モードに戻し(M=0)、列アドレス信号X<sub>7</sub>=1とし、クロック信号C<sub>1</sub>を印加して、第4図におけるフリップ・フロップ40の内容(正常なら

れることはない。つまり、組合せ論理回路としては、入力、出力がフリップフロップ等の記憶回路に接続されているものであれば良く、第1図に示すシフトレジスタ14に於いて、配線~~13~~<sup>8</sup>を組合せ回路と見なすことによつて、シフトレジスタ14の診断を行なうことができる。

以上の実施例では単純な回路の診断の例を説明したが実際には、もつと複雑かつ多量の論理回路を一度に診断する事が要求される。これは多数のフリップ・フロップを1ステップで“1”に設定する手法が用いられる。

本実施例は原理上、ゲート・アレイ集積回路装置20上の唯一のフリップ・フロップから全てのフリップ・フロップまで1ステップで“1”にセットし得るものである。

### (a) 唯一のフリップ・フロップの“1”設定

前記した例の様に、列アドレス信号X<sub>1</sub>と行アドレス信号Y<sub>1</sub>を“1”にすることによつて、1行、1列に存在するフリップ・フロップ1つを“1”設定できる。

(b) 行方向に存在するフリップ・フロップ群の  
"1"設定

例えば、行に存在するフリップ・フロップ群のいくつかを"1"設定する場合には、行アドレス信号 $Y_1=1$ として、列アドレス信号 $X_1 \sim n$ の中の対応するものを1とすればよい。 $X_1 \sim r=1$ ならば、 $F/F_{11} \sim r$ の7個のフリップ・フロップが同時に"1"設定される。

(c) 列方向に存在するフリップ・フロップ群の  
"1"設定

i列に存在するフリップ・フロップ群のいくつかを"1"設定する場合には、列アドレス信号 $X_1=1$ とし、行アドレス信号 $Y_1 \sim Y_n$ の中の対応するものを1とすればよい。 $Y_1 \sim i=1$ ならば、 $F/F_{11} \sim i$ の4個のフリップ・フロップが"1"設定されるわけである。

(d) 全フリップ・フロップの"1"設定

列アドレス信号 $X_1 \sim n$ 、行アドレス信号 $Y_1 \sim n$ の総てを1とした場合、集積回路装置20内の総てのフリップ・フロップが"1"設定

される。

要するに、列アドレス信号 $X_1 \sim n$ と行アドレス信号 $Y_1 \sim n$ の2次元アドレスで指定されたフリップ・フロップが"1"設定される。勿論、"0"設定はGR(リセット)信号により全フリップ・フロップ同時に行う。

次に、本実施例ゲート・アレイ集積回路装置20内部ではどのようにフリップ・フロップ等の記憶回路が配置され、組合せ論理回路と配線されるかを第10図によつて示す。

第10図に於いて、基本セル列22-2, 22-3, 22-4は、一定の間隔の配線領域101-2, 101-3, 101-4を介して並設される。各論理回路間の配線S1, S2, S3, 及び診断用信号線a1, b1, C1, Y1, Q1, GRは図示していない絶縁膜を介して多層配線される。

第10図に示した如く、フリップ・フロップF/F11やF/F12は行、列の中のどの部分に作られても診断用の配線に接続でき、これによつてそ

のフリップ・フロップの行、列アドレスが決定する。

以上説明したように、本実施例によれば、記憶回路であるフリップ・フロップのセット、リセット、読出しだけでなく、組合せ論理回路単位の診断が行えるので診断率が向上する。また、ゲート・アレイ集積回路装置の如く規則的にゲートの配置された集積回路装置の診断は全フリップ・フロップのセット、リセットを規則的に配置し得る信号線により制御できるので、チップ面積の増加を最小限に留め、100%の故障検出を高速に行える効果を有する。

〔発明の効果〕

以上述べた様に本発明によれば組合せ論理回路単位の診断が可能となり、充分な診断率が得られる集積回路装置及びその診断方法を得ることができる。

図面の簡単な説明

第1図は本発明の原理を説明するための図、第2図は本発明の一実施例になるゲート・アレイ集

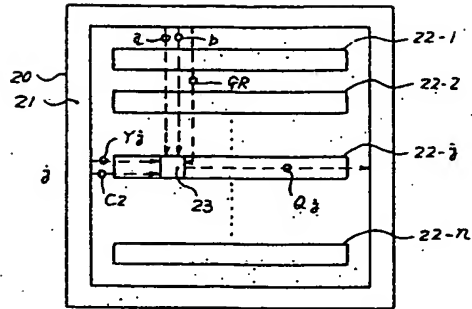
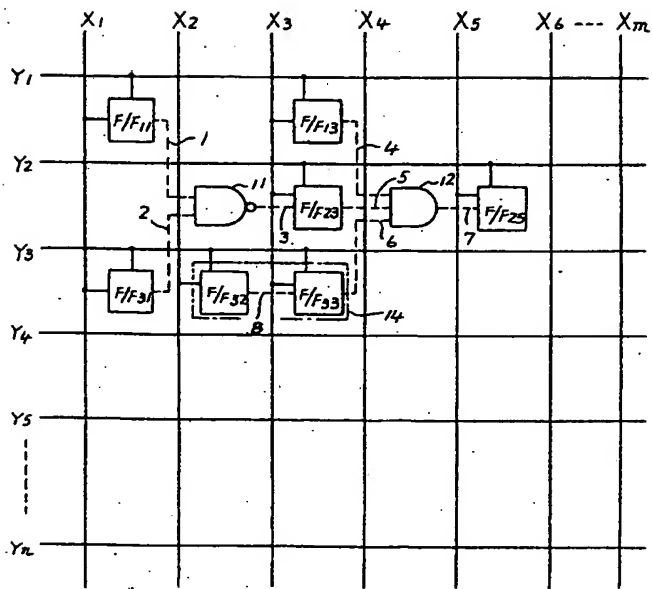
積回路装置の全体構成の概略図、第3図は第2図のフリップ・フロップ23のインタフェイス図、第4図は第2図のフリップ・フロップ23の内部構成を示す図、第5図は本発明の一実施例になるゲート・アレイ集積回路装置のマスター構成の概略図、第6図、第7図は第5図に於ける入出力バッファの構成を示す図、第8図は第5図に於ける列デコーダの構成を示す図、第9図は本発明による診断方法の実施例を示す図、第10図は本発明の一実施例になるゲート・アレイ集積回路装置の配線を示す図である。

40, 41...フリップ・フロップ、42~50...ゲート、51...出力バッファ、601-1~601-m...列デコーダ、600-1~600-m, 602-1~602-m, 603-1~603-m...入出力バッファ。

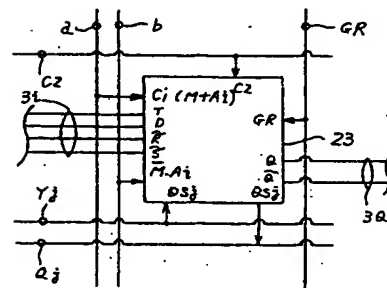
代理人 弁理士 高橋明夫

第2図

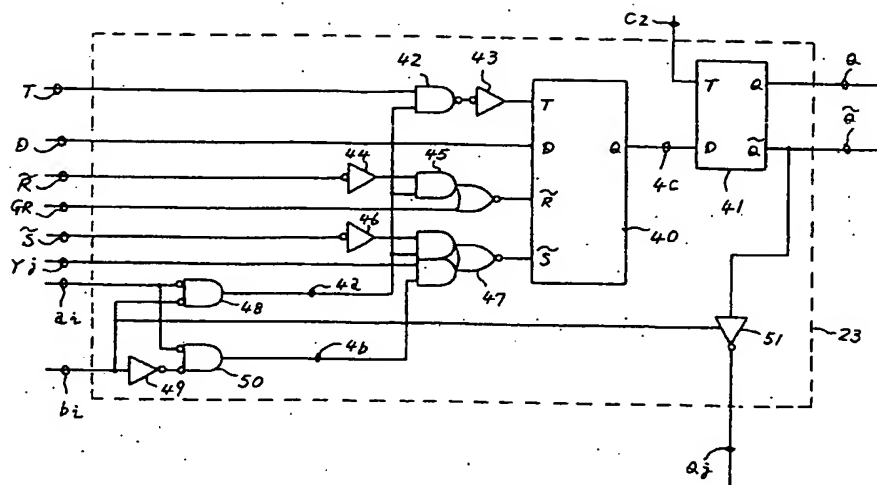
第1図



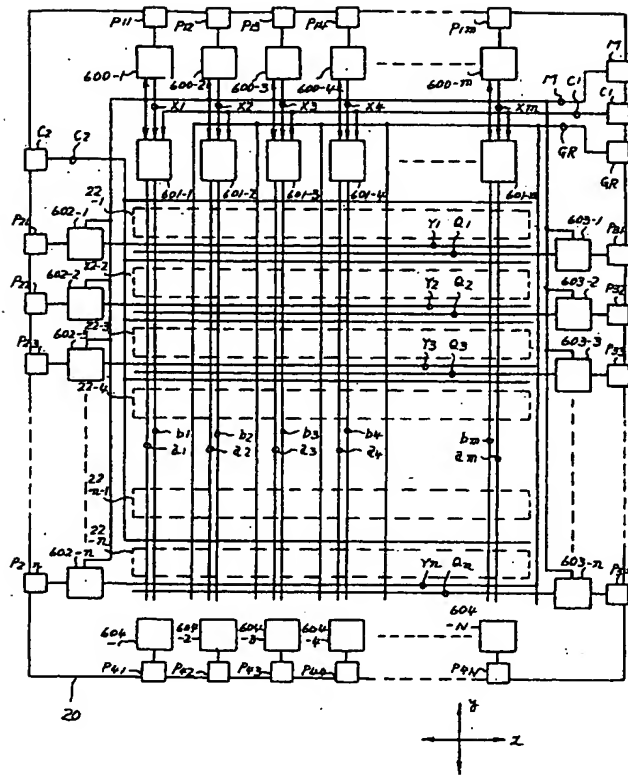
第3図



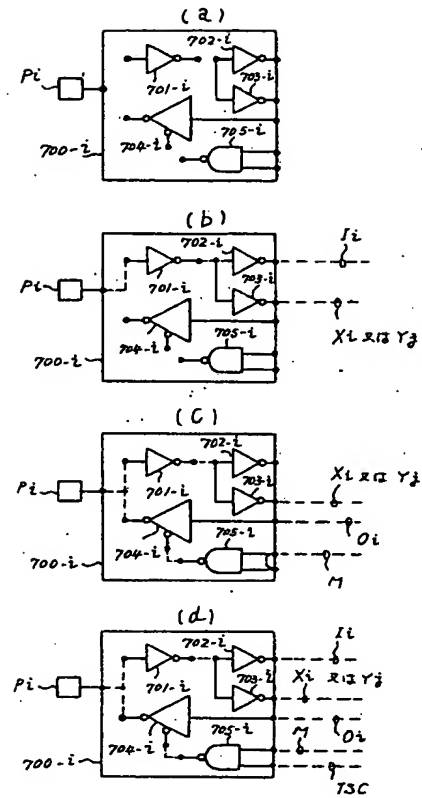
第4図



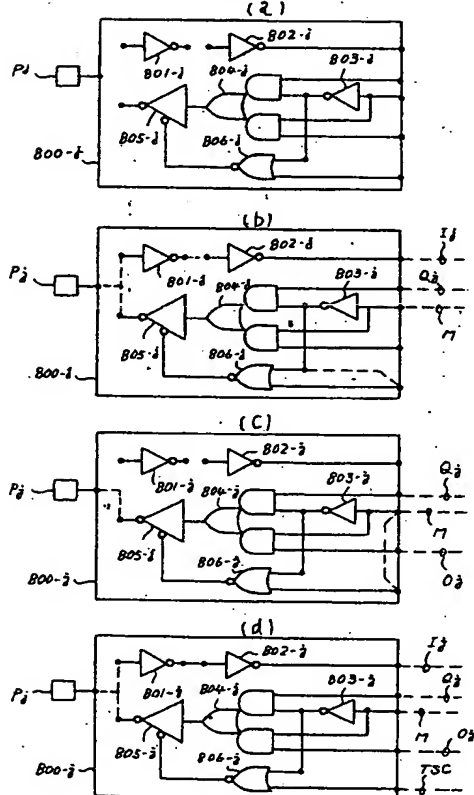
第5図



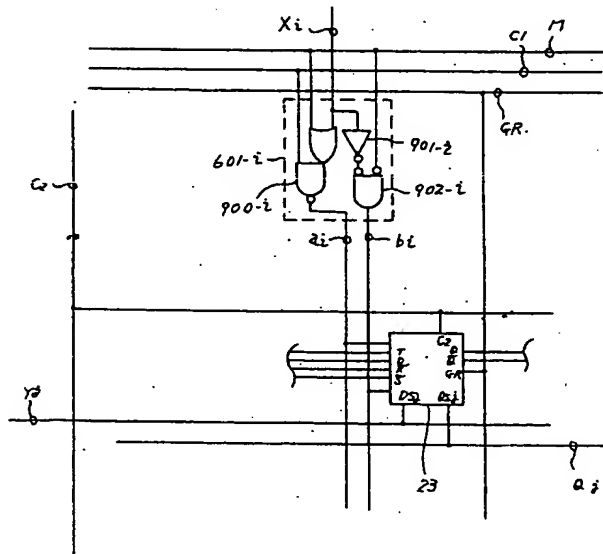
第6図



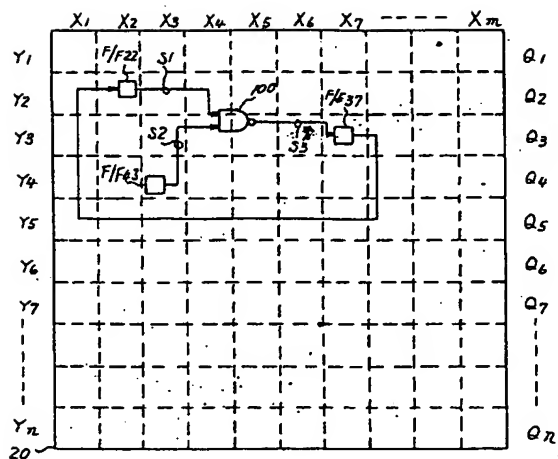
第7図



第8図



第 9 図



第 10 図

